



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000275676 A**(43) Date of publication of application: **06.10.00**

(51) Int. Cl.

G02F 1/136(21) Application number: **11076804**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **19.03.99**(72) Inventor: **CHO KOYU****(54) LIQUID CRYSTAL DISPLAY DEVICE AND ELECTRONIC APPLIANCE USING THE SAME**

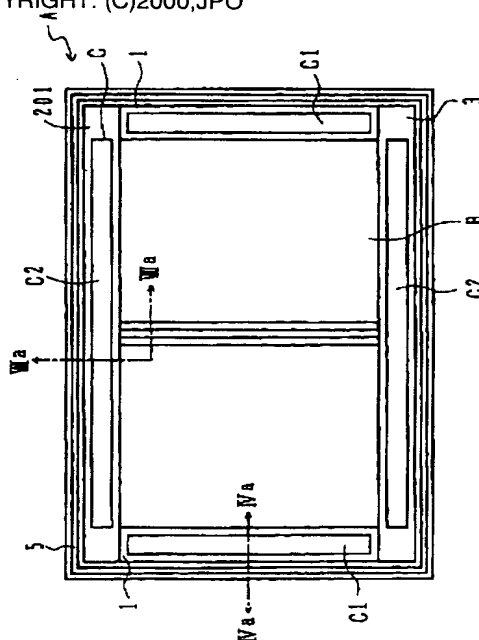
black color pigment is preferably used.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To event malfunctions of a TFT due to incidence of light, prevent increase in parasitic capacitance, and maintain fast response of peripheral circuits by forming an insulating light-shielding film to cover at least a part of thin-film transistors for the peripheral circuits which constitute a signal line drive circuit.

SOLUTION: The peripheral circuits include first peripheral circuits (scanning line drive circuits) C1, extended from scanning lines and arranged on the short sides (right and left sides) of a display part B and second peripheral circuits (signal line drive circuits) C2 extended from signal lines and arranged on the long sides (upper and lower sides). A black matrix 1 made of Cr is applied as a conductive light-shielding film on each scanning line drive circuit C1. An insulating black light-shielding film 201 made of an insulating black resin is applied on each signal line drive circuit C2. As for the material to form the resin-based insulating black light-shielding film 201, a polyimide mixed with a



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-275676
(P2000-275676A)

(43)公開日 平成12年10月6日(2000.10.6)

(51)Int.Cl.⁷

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

7-マコード(参考)

5 0 0 2 H 0 9 2

審査請求 未請求 請求項の数11 O L (全 18 頁)

(21)出願番号

特願平11-76804

(22)出願日

平成11年3月19日(1999.3.19)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 張 宏勇

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100091340

弁理士 高橋 敬四郎

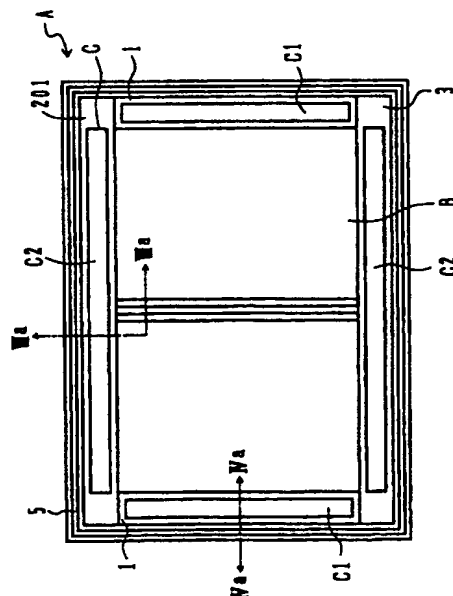
最終頁に続く

(54)【発明の名称】 液晶表示装置及びそれを用いた電子機器

(57)【要約】

【課題】 周辺回路の高速性を維持しつつ表示部と一体化した液晶表示装置を提供する。

【解決手段】 第一の基板31上に形成され行列状に配置された画素21と行方向に沿って延在する走査線15と列方向に沿って延在する信号線11とを含み、走査線15と信号線11との各交点に画素21が接続され、各画素21は半導体能動素子25と画素電極45とを含む表示部Bと、行方向端部に配置され半導体能動素子85を含み走査線15を駆動する走査線駆動回路C1と、列方向端部に配置され半導体能動素子85を含み信号線11を駆動する信号線駆動回路C2と第一の基板31に対向して配置された透明な第二の基板51と、両基板間に挟持された液晶材Eと、第二の基板51の内側の表面上に形成され第二の周辺回路C2の少なくとも一部を覆う絶縁性黒色遮光膜201とを有する。



【特許請求の範囲】

【請求項 1】 第一の基板と、

前記第一の基板上に形成され、行列状に配置された複数個の画素と、行方向に沿って延在する複数本の走査線と、列方向に沿って延在する複数本の信号線とを含み、前記走査線と前記信号線との各交点に前記画素の 1 つが接続され、各画素は半導体能動素子と画素電極とを含む表示部と、

前記第一の基板の行方向端部に配置され、半導体能動素子を含み、前記走査線を駆動する走査線駆動回路を含む第一の周辺回路と、

前記第一の基板の列方向端部に配置され、半導体能動素子を含み、前記信号線を駆動する信号線駆動回路を含む第二の周辺回路と、

前記第一の基板に対向して配置された透明な第二の基板と、

前記第一及び第二の基板間に挟持された液晶層と、

前記第二の基板の内側の表面上に形成され、前記第二の周辺回路の少なくとも一部を覆うように配置された絶縁性黒色遮光膜とを有する液晶表示装置。

【請求項 2】 さらに、前記第一の基板の内側表面上に配置され、前記第二の周辺回路のうちの少なくとも一部を覆う他の絶縁性黒色遮光膜を有する請求項 1 に記載の液晶表示装置。

【請求項 3】 前記絶縁性黒色遮光膜の少なくとも一部が前記第一及び第二の基板間で、前記液晶層をシールするシール材を兼ねている請求項 1 に記載の液晶表示装置。

【請求項 4】 前記絶縁性黒色遮光膜は、前記第二の周辺回路及び前記第一の周辺回路の全面を覆うように形成されている請求項 2 に記載の液晶表示装置。

【請求項 5】 さらに前記第一の周辺回路上方の前記第二の基板の内側表面上に設けられている導電性遮光膜を有する請求項 2 に記載の液晶表示装置。

【請求項 6】 さらに前記第二の基板の外側表面上に設けられた絶縁性黒色遮光膜又は導電性遮光膜を有する請求項 5 に記載の液晶表示装置。

【請求項 7】 前記第二の周辺回路上のうち動作周波数の低い回路上には、さらに前記第二の基板の内側表面上に設けられた導電性遮光膜を有する請求項 5 に記載の液晶表示装置。

【請求項 8】 前記第二の周辺回路は、該微から供給されるビデオ信号線を伝達するビデオ信号線と、該ビデオ信号線と前記半導体能動素子のソース電極との間に設けられ各々が制御端子と一対の電流端子とを有し、制御端子に印加される信号によって前記ビデオ信号線から前記半導体能動素子のソース電極に伝えられるビデオ信号をスイッチする複数のアナログスイッチと、該複数のアナログスイッチを制御するアナログスイッチ

制御部とを含み、

該アナログスイッチ制御部は、

複数段のフリップフロップ回路を含むシフトレジスタ回路と、

前記フリップフロップ回路の各段の出力に連結されるバッファ回路と、

前記バッファ回路の各出力と前記各アナログスイッチの制御端子とを結ぶアナログスイッチ制御信号線とを含む請求項 5 に記載の液晶表示装置。

10 【請求項 9】 前記シフトレジスタ回路は、前段の出力が次段に入力されるよう直列接続された複数段の D-フリップフロップを含み、

前記バッファ回路は、前記各段の D-フリップフロップの出力と接続され、インバータ回路が直列に連結された直列インバータチェーンを含む請求項 8 に記載の液晶表示装置。

【請求項 10】 第一の基板と、

前記第一の基板上に形成され、行列状に配置された複数個の画素と、行方向に沿って延在する複数本の走査線

20 と、列方向に沿って延在する複数本の信号線とを含み、

前記走査線と前記信号線との各交点に前記画素の 1 つが接続され、各画素は半導体能動素子と画素電極とを含む表示部と、

前記第一の基板の行方向端部に形成され、半導体能動素子を含み、前記走査線を駆動する走査線駆動回路を含む第一の周辺回路と、

前記第一の基板の列方向端部に形成され、半導体能動素子を含み、前記信号線を駆動する信号線駆動回路を含む第二の周辺回路と、

30 前記第一の基板に対向して配置された透明な第二の基板と、

前記第一及び第二の基板間に挟持された液晶層と、

前記第二の基板の外側表面上に形成され、前記第二の周辺回路の少なくとも一部を覆うように配置された導電性遮光膜とを含む液晶表示装置。

【請求項 11】 第一の基板と、

前記第一の基板上に形成され、行列状に配置された複数個の画素と、行方向に沿って延在する複数本の走査線

40 と、列方向に沿って延在する複数本の信号線とを含み、

前記走査線と前記信号線との各交点に前記画素の 1 つが接続され、各画素は半導体能動素子と画素電極とを含む表示部と、

前記第一の基板の行方向端部に配置され、半導体能動素子を含み、前記走査線を駆動する走査線駆動回路を含む第一の周辺回路と、

前記第一の基板の列方向端部に配置され、半導体能動素子を含み、前記信号線を駆動する信号線駆動回路を含む第二の周辺回路と、

50 前記第一の基板に対向して配置された透明な第二の基板と、

前記第一及び第二の基板間に挟持された液晶層と、
前記第二の基板の内側の表面上に形成され、前記第二の
周辺回路の少なくとも一部を覆うように配置された絶縁
性黒色遮光膜とを有する液晶表示装置と；電子回路を有
する箱体と；を含む電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置および
それを用いた電子機器に関するものであり、より詳細に
は、各画素ごとにスイッチング素子として薄膜トランジ
スタ（以下「TFT」という。）等の半導体能動素子が
設けられているアクティブマトリックス型液晶表示装置
及びそれを用いた電子機器に関するものである。

【0002】

【従来の技術】アクティブマトリックス型液晶表示装置
では、複数本の走査線が行方向に配置され、複数本の信
号線が列方向に配置されている。マトリックスの各交差
部には、画素が配置されている。各画素は、画素電極と
該画素電極に接続されたスイッチング用の素子とを含ん
でいる。アクティブマトリックス型液晶表示装置の画素
情報は、スイッチング用の素子によってオン/オフ制御
される。表示媒体としては液晶が用いられる。

【0003】スイッチング素子として、MIM（Met
al-Insulator-Metal）や三端子素子、
特にゲート、ソース、ドレインを有する電界効果型薄膜
トランジスタ（以下「TFT」という。）が用いられ
る。本明細書においては、画素電極に接続される電流端
子をドレイン、信号線に接続される他方の電流端子をソ
ースと呼ぶ。画素電極と薄膜トランジスタとを含む単位
セルを画素と称し、多数の画素がマトリックス（行列）
状に配置された表示部により画像を表示する。

【0004】行に平行に配置された走査線（ゲート線）
が当該行に対応する薄膜トランジスタのゲート電極に接
続されている。列に平行に配置された信号線（ソース
線）が当該列に対応する薄膜トランジスタのソース電極
に接続されている。走査線を駆動する回路を走査線駆動
回路、信号線を駆動する回路を信号線駆動回路と称す
る。走査線駆動回路と信号線駆動回路とを含み、表示部
を駆動する回路を周辺回路と総称する。

【0005】各画素電極ごとにスイッチング素子として
TFTを用いるアクティブマトリックス型液晶表示装置
は、一対の基板上に交差電極を形成した単純マトリッ
クス型液晶表示装置と比較すると、多画素化に適し、画面
が鮮明である。近年、パーソナルコンピュータの表示画
面やビデオカメラのビューファインダ等の表示装置とし
ては、アクティブマトリックス型液晶表示装置が主流と
なっている。

【0006】このアクティブマトリックス型液晶表示装
置では、通常、透明ガラス基板上に多数の画素電極と薄
膜トランジスタとを形成する必要がある。透明ガラス基

板に対しては、高温でのアニールによるシリコンの結晶
化プロセスを適用することは困難である。液晶表示装置
に用いられる薄膜トランジスタとしては、低温でも形成
可能なアモルファスシリコンを用いたアモルファスシリ
コン薄膜トランジスタが用いられてきた。

【0007】しかし、アモルファスシリコン中での電子
及び正孔の移動度は、約 $1 \text{ cm}^2/\text{Vs}$ と小さい。アモル
ファスシリコンをチャネル層として用いるアモルファス
シリコン薄膜トランジスタでは、高速のスイッチング動
作は困難である。そこで、通常の単結晶シリコン基板上
に別途形成された周辺回路チップを、ガラス基板上に別
途外付け配置するか、または、周辺回路チップが配置さ
れているフレキシブル基板上をガラス基板上に貼り付け
る構造が採用されている。

【0008】さらに、レーザーアニールにより、アモル
ファスシリコンを多結晶化する技術も用いられてきてい
る。

【0009】

【発明が解決しようとする課題】液晶表示装置の製造コ
ストを低減し、かつ製造工程を効率化するためには、表
示部と周辺回路とを同一基板上に一体形成することが好
ましい。

【0010】本発明の目的は、周辺回路の高速性を維持
しつつ周辺回路を表示部と一体化した液晶表示装置を提
供することである。

【0011】

【課題を解決するための手段】本発明の一観点によれ
ば、第一の基板と、前記第一の基板上に形成され、行列
状に配置された複数個の画素と、行方向に沿って延在す
る複数本の走査線と、列方向に沿って延在する複数本の
信号線とを含み、前記走査線と前記信号線との各交点に
前記画素の1つが接続され、各画素は半導体能動素子と
画素電極とを含む表示部と、前記第一の基板の行方向端
部上に配置され、半導体能動素子を含み、前記走査線を
駆動する走査線駆動回路を含む第一の周辺回路と、前記
第一の基板の列方向端部上に配置され、半導体能動素子
を含み、前記信号線を駆動する信号線駆動回路を含む第
二の周辺回路と、前記第一の基板に対向して配置された
透明な第二の基板と、前記第一及び第二の基板間に挟持
された液晶層と、前記第二の基板の内側の表面上に形成
され、前記第二の周辺回路の少なくとも一部を覆うよう
に配置された絶縁性黒色遮光膜とを有する液晶表示装置
が提供される。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実
施の形態を説明する。

【0013】最近、エキシマレーザーなどを用いたレー
ザーアニール、結晶化前のアモルファスシリコンにNi
やGeをドーブして結晶化を促進する技術等の低温結晶
化技術の発展に伴って、ガラス基板上に形成されたアモ

ルファスシリコンをエキシマレーザーの照射により結晶化して多結晶シリコン（ポリシリコン）を形成する技術が開発されている。

【0014】多結晶シリコンのチャネル層の電子および正孔の移動度は、50から100 cm²/Vs程度であり、従来のアモルファスシリコンの移動度と比較して格段に大きい。従って、多結晶シリコンTFTを用いれば、従来のアモルファスシリコンTFTを用いた場合と比べて、著しく高速のスイッチング動作が可能となる。

【0015】図1から図8までを参照して本発明の第1の実施の形態による液晶表示装置を説明する。

【0016】図1に、画像表示を行う表示部と表示部の制御を行う周辺回路部とを同一基板上に一体形成したアクティブマトリックス型液晶表示装置Aの平面配置例を示す。この液晶表示装置は、画像を表示するための概略長方形の表示部Bと、表示部Bの周辺に配置され、表示部Bを駆動する周辺回路部Cとを含む。

【0017】周辺回路部は、走査線の延在先である表示部Bの短辺（左右）に配置される第一の周辺回路（以下、「走査線駆動回路」という。）C1と信号線の延在先である長辺側（上下）に配置される第二の周辺回路（以下、「信号線駆動回路」という。）C2とを含む。走査線駆動回路C1上には、Crにより形成されるブラックマトリックス（BM）1が導電性遮光膜として配置されている。信号線駆動回路C2上には、絶縁性黒色樹脂により形成される絶縁性黒色遮光膜201が配置されている。

【0018】周辺回路Cの外周部は、液晶を收容空間内に封止するためのシール材5により囲まれている。表示部Bと周辺回路部Cとは、ともに分散配置され、多結晶シリコンを半導体層として有する複数のTFTを含む。

【0019】図2は、アクティブマトリックス型液晶表示装置Aの全体の回路構成例を示す等価回路図である。前述のように、液晶表示装置Aは、表示部Bと周辺回路部Cとを含む。

【0020】表示部Bには、例えば合計2400本の信号線11、11、11・・・が列方向に走っている。3本の信号線により、RGB等のカラー情報が伝達される。すなわち、2400本の信号線により800個の画像情報が伝達できる。

【0021】表示部Bには、さらに、たとえば合計600本の走査線15、15、15・・・が信号線11と交差して行方向に走っている。信号線と走査線との各交点に画素21が配置される。表示部B全体には、合計2400×600個の画素21、21、21・・・がマトリックス状に配置されている。3個の画素で構成される各表示単位ごとにRGBの3色が表示可能であり、表示部全体として800×600のカラー画像情報が表示できる。

【0022】画素21は、液晶セル23と画素TFT 25

と蓄積容量27とを含んでいる。画素TFT 25は、図2ではダブルゲートTFTで例示されているが、シングルゲートTFTを用いても良い。リーク電流を低減するためには、ダブルゲートTFTを用いることが有効である。

【0023】画素TFT 25のソース電極Sは、信号線11と接続されている。画素TFT 25のゲート電極Gは、走査線15と接続されている。画素TFT 25のドレイン電極D側には、液晶セル23と蓄積容量27とが並列に接続されている。

【0024】画素21に含まれる蓄積容量27は、信号線11から注入された信号電荷を蓄積する。蓄積容量27は、例えば画素TFT 25のリーク電流が無視できない場合にも、蓄積された電荷を保持するのに有効である。尚、蓄積容量27は、必要に応じて設けられる。

【0025】多数の画素21は、走査線駆動回路C1により駆動される600本の走査線15、15、15・・・により、順次行単位で走査される。各画素21は、該当走査期間中に信号線駆動回路C2によって駆動される計2400本の信号線11から画像情報を受ける。

【0026】図3は、表示部Bに含まれる画素TFTの構造例を示す断面図である。

【0027】図3（a）は、ボトムゲート型のTFTの構造例を示す。

【0028】図3（a）に示されるボトムゲート型のTFT 25は、透明基板31上にCr等の金属により形成されたゲート電極Gを有する。ゲート電極G上には、ゲート絶縁膜として機能するSiN、SiO₂等の絶縁膜33が形成され、さらにその上には、チャネル層として機能するチャネル用のポリシリコン膜35が堆積されている。チャネル用のポリシリコン膜35のゲート電極Gの両側の領域上には、チャネル用のポリシリコン膜35よりも高濃度にドーピングされたポリシリコン高濃度層37、37が形成されている。このポリシリコン高濃度層37、37上には、ソース電極S及びドレイン電極Dが形成される。このようにして形成された画素TFT 25を、窒化膜または酸化膜等により形成された層間絶縁膜41で覆い、周囲から絶縁保護する。層間絶縁膜41にコンタクト孔を開口し、その上にITOからなる画素電極45を形成する。画素電極45は、画素TFT 25のドレイン電極Dと接続される。

【0029】ポリシリコン膜は、例えばアモルファスシリコン膜を堆積し、このアモルファスシリコン膜を結晶化することにより得られる。結晶化工程としては、XeCl（波長308 nm）又はKrF（波長248 nm）光源を用いた低温でのエキシマレーザーによるレーザーアニール結晶化技術を用いることが好ましい。レーザーアニール結晶化技術を用いれば、例えば高速動作が必要とされる信号線駆動回路を構成するTFT部分のみ又は周辺回路のTFT部分にみを結晶化することも可能である。こ

の場合、レーザービームを走査する面積を低減することができる。

【0030】図3(b)は、トップゲート型のTFTの構造例を示す。

【0031】図3(b)に示すトップゲート型のTFT 25において、透明基板31上にチャンネル層として機能するポリシリコン膜35が形成され、その上には、ゲート絶縁膜として機能するSiN、SiO₂等の絶縁膜33が形成される。絶縁膜33上に、Cr等の金属により形成されたゲート電極Gが形成される。

【0032】ポリシリコン膜35上のソース領域及びドレイン領域には、チャンネル用ポリシリコン層35よりも高濃度にドーピングされたポリシリコン高濃度層37、37が形成されている。このポリシリコン高濃度層37、37上には、ソース電極S及びドレイン電極Dが形成される。

【0033】このようにして形成された画素TFT 25を、窒化膜、酸化膜等により形成された層間絶縁膜41で覆い、周囲から絶縁保護する。層間絶縁膜41にコンタクト孔を開口し、その上にITOからなる画素電極45を形成する。画素電極45は、画素TFT 25のドレイン電極Dと接続される。

【0034】尚、Cr層の代わりに、Ti/Al/Tiの積層を用いても良い。チャンネル用ポリシリコン層35の所望領域を高濃度に不純物ドーピングし、ポリシリコン高濃度層37を省略してもよい。また画素電極以外の部分で周辺回路用TFTを形成することもできる。

【0035】図4は、図1のIVa-IVb線断面図に相当する。図4に示す液晶表示装置Aには、表示部Bと、表示部Bの外側に設けられている周辺回路部Cとが設けられている。液晶表示装置Aは、第一の透明基板31と第二の透明基板51と、これらの透明基板の間に形成されている液晶收容空間81内に充填される液晶材Eとを含む。

【0036】表示部Bには、複数の画素21が形成されている。

【0037】画素21は、第一の透明基板31の内側表面上に形成された画素TFT 25と画素電極45とを含む。

【0038】図4に示されるように、表示部Bよりも周辺側には、周辺回路部Cが配置される。図中、第一の透明基板31上に形成されている周辺回路が、第一の周辺回路(走査線駆動回路)C1である。走査線駆動回路C1は、能動駆動素子として多結晶薄膜トランジスタ、すなわち周辺回路用TFT 85を含んでいる。

【0039】画素TFT 25と周辺回路用TFT 85による凹凸は、第一の透明基板31上に形成される平坦化膜73bにより平坦化される。画素電極45は平坦化膜73B上に設けられる。表示部B領域の画素電極45及び平坦化膜73b上には、配向膜75bが形成されてい

る。

【0040】画素21は、第二の透明基板51の内側表面上(第一の透明基板31側)にそれぞれ設けられた赤色(R)、緑色(G)、青色(B)のカラー樹脂61、63、65と、各カラー樹脂61、63、65の下部に形成された共通電極71とを含む。カラー樹脂61、63、65は、画素電極45と対向する位置に設けられている。

【0041】カラー樹脂61、63、65間には、Crにより形成され、画素TFT 25を遮光するためのブラックマトリックス(BM)1が設けられている。さらに、周辺回路用TFT 85の上方であって、第二の透明基板51の内側表面上には、周辺回路用TFT 85を覆う遮光膜であるCr製のブラックマトリックス(BM)1、1、1・・・が形成されている。

【0042】カラー樹脂61、63、65及びブラックマトリックスBM1は、平坦化絶縁膜73aにより被覆されている。平坦化絶縁膜73aが凹凸のあるカラー樹脂61、63、65の表面を覆い、平坦な表面を形成する。全画素に対向する共通電極71は、この平坦な表面上に形成される。共通電極71の表面は、ポリイミド等の樹脂製の配向膜75aにより覆われている。

【0043】絶縁性黒色樹脂としては、黒色の着色顔料を入れたポリイミドを用いることができる。尚、絶縁性黒色樹脂の材料として感光性ポリイミドを用いれば、別途マスクを形成することなく、所望の位置、例えば第二の周辺回路のうちの高速性が要求される回路、例えばシフトレジスタ回路のみを覆うように遮光膜を形成できる。

【0044】第一の透明基板31と第二の透明基板51との間であって、周辺回路部Cの外側には、ポリイミドにより形成されたシール材5が介装されている。第一の透明基板31と第二の透明基板51は、シール材5とともに液晶收容空間81を画定する。液晶收容空間81内には、液晶材Eが充填される。

【0045】液晶セル23(図2)は、ITOにより形成されている画素電極45と、ITOにより形成されている共通電極71と、両者の間に充填されている液晶材Eとを含む。

【0046】周辺回路部Cの回路構成について詳細に説明する。

【0047】図5は、150段構成の走査線駆動回路C1のうち1段分の駆動回路を示す回路図である。走査線駆動回路C1には、図5に示される駆動回路が150段、直列に接続されている。図5に示されている1段分の駆動回路は、走査方法の切り替えをするための双方向スイッチ部111と、走査信号を生成するためのシフトレジスタ部115と、走査信号のタイミングを決めるためのマルチプレクサ部117と、駆動能力を増強するための3段の直列インバータ121a、121a、121a

を含む出力バッファ部121とを含む。

【0048】フリップフロップ回路125の電源電圧はVDDとGNDである。フリップフロップ回路125からの出力は、NANDゲートおよびインバータを介してマルチプレクサ部117に出力される。マルチプレクサ部117において、フリップフロップ回路125からの出力信号は、4本の出力信号線に分岐される。分岐された4本の出力信号は、マルチプレクス信号MP1〜MP4との論理積をとった後、出力バッファ部121に供給される。

【0049】出力バッファ部121は、マルチプレクサ部117からの4信号について、負荷に対する駆動能力を増加させて出力する。出力バッファ部121は、4本の出力端子を有している。出力バッファ部121の各出力端子は、それぞれ、走査線を介して表示部Bの画素TFT25のゲートGに接続される。走査線駆動回路C1は150段構成であり、各1段が4本の出力端子を有している。従って、走査線駆動回路C1は600本の走査線15、15、15、・・・を走査する。

【0050】走査線駆動回路C1の回路動作を説明する。走査線駆動回路C1は、クロック信号CLまたはその反転信号である(−CL)に同期させて走査線15を順次走査する。一本の走査線15に連結されている全ての画素TFT25は、一時的に一齐にオン状態にされる。各行ごとに順次走査されるため、走査線駆動信号は、1画面当り600個であり、シフトレジスタ部115は、マルチプレクス前の1画面当り150個の信号を形成すればよい。従って、走査線側のシフトレジスタ部115には、それほど的高速性を要求されない。走査線駆動回路C1のシフトレジスタ部115のクロック信号CLおよびその反転クロック信号(−CL)のパルス周波数は40から60kHzである。

【0051】信号線駆動回路C2の構成について説明する。

【0052】図2には、信号線駆動回路C2の概略構成が示されている。

【0053】信号線駆動回路C2は、アナログスイッチ151と、該アナログスイッチ151を制御するアナログスイッチ制御部161と、アナログスイッチ151とアナログスイッチ制御部161とを接続するアナログスイッチ制御信号線181とを含む。

【0054】図示しないビデオ信号発生部から発生されたビデオ信号は、ビデオ信号線17を介してアナログスイッチ151に伝達される。ビデオ信号は、アナログスイッチ151がオンであれば、信号線11を介して画素TFT25のソース電極Sに伝達される。

【0055】アナログスイッチ制御部161は、アナログスイッチをオン/オフすることにより、ビデオ信号を画素TFT25のソース電極Sに伝達するか否かの制御を行う図6に、アナログスイッチ151と該アナログス

イッチ151を制御するアナログスイッチ制御部161とを含む信号線駆動回路C2と、ビデオ信号線17と表示部Bの画素21との接続関係を示す。

【0056】表示部Bの画素21の総数は、画素No. 1から画素No. 800までの800画素である。1つの画素21は、RGBの3色の各サブ画素を含む。表示部Bのサブ画素数は、2400(800×3)である。

【0057】ビデオ信号線17の本数は、24本である。ビデオ信号線17は、RGBの3色に対応して、ビデオ信号線R1からビデオ信号線R8まで、ビデオ信号線G1〜ビデオ信号線G8まで、およびビデオ信号線B1〜ビデオ信号線B8までの合計24本である。

【0058】アナログスイッチ151の総数は、アナログスイッチNo. 1からアナログスイッチNo. 2400までの2400個である。各アナログスイッチ151は、p型TFTとn型TFTで一对を成すCMOS型TFTを含んでいる。

【0059】アナログスイッチ制御部161は、100段のフリップフロップ回路173、173、173・・・が直列に連結されて構成されるシフトレジスタ回路171と、シフトレジスタ回路171を構成するフリップフロップ173の各出力に接続されているバッファ回路175と、バッファ回路175の出力とアナログスイッチの制御電極とを結ぶアナログスイッチ制御信号線181とを含んでいる。

【0060】100段のフリップフロップ回路のクロック端子には、各段に共通のクロック信号CK及び反転クロック信号(−CK)が入力される。100段のフリップフロップ回路のうち、初段のフリップフロップ回路173の入力端子Dには、SP信号が入力する。初段のフリップフロップ回路173の出力端子Qから、第1段目のフリップフロップ回路173の出力信号が供給され、第1段目のバッファ回路175に入力される。

【0061】さらに、初段のフリップフロップ回路173の出力Qは、次段(第2段目)の入力端子Dに入力される。第2段目のフリップフロップ回路の出力は、第2段目のバッファ回路175の入力端子に接続される。以下、順次、フリップフロップ回路173の出力は次段のフリップフロップ回路173の入力端子に接続されるとともに、次段の出力バッファ回路175の多入力端子に接続される。

【0062】バッファ回路175の出力は、フリップフロップ回路173側から数えて3段目のインバータ176cと4段目のインバータ176dとの間で2本の線に分岐されている。分岐された2本の線のうち一方は、さらに1個のインバータ176fを介してn出力される。分岐された他方の線は、さらに2個のインバータ176dおよび176eを介してp出力される。

【0063】図7は、シフトレジスタ回路171を構成するフリップフロップ回路173の回路図(図7(a))

10

20

30

40

50

と、バッファ回路175(図7(b))の詳細な回路図である。

【0064】フリップフロップ回路173は、直列に接続された3段のCMOS回路173a、173b、173cを含む。電源電圧はVDD、GNDである第1段目のCMOS回路173aは、クロックドインバータであり、その接地端子側には、n型MOSトランジスタ174aが連結されている。このn型MOSトランジスタ174aのゲート電極端子には、反転クロック信号(CK)が入力する。第1段目のCMOS回路の電源電圧VDD端子側には、p型MOSトランジスタ174bが連結されている。p型MOSトランジスタ174bのゲート電極端子には、クロック信号CKが入力される。

【0065】第1段目のCMOS回路173aの入力は、シフトレジスタ回路171全体の入力端子Dに接続されている。第2段目のCMOS回路173bはインバータであり、その入力は、第1段目のCMOS回路173aの出力端子と連結されている。第2段目のCMOS回路173bの出力は、第3段目のクロックドインバータである入力端子と連結している。

【0066】第3段目のCMOS回路173cの接地端子側には、n型MOSトランジスタ174cが連結されている。n型MOSトランジスタ174cのゲートには、クロック信号(CK)が入力する。第3段目のCMOS回路173cの電源電圧VDD端子側には、p型MOSトランジスタ174dが連結されている。p型MOSトランジスタ174dのゲートには、反転クロック信号(CK)が入力する。

【0067】第3段目のCMOS回路173cの入力端子は、フリップフロップ回路173全体の出力端子Qに連結されており、さらに、第3段目のCMOS回路173cの入力端子は、第2段目のシフトレジスタ回路171の入力端子Dと連結されている。第3段目のCMOS回路173cの出力は、第1段目のCMOS回路173aの出力と第2段目のCMOS回路173bの入力とを連結する線と接続されている。

【0068】図7(b)に、バッファ回路175のうちp出力側の回路の詳細を示す。

【0069】図7(b)に示すように、p出力側のバッファ回路175は、CMOSインバータ回路176a、176b、176c、176d、176eの5段の直列接続により構成されている。バッファ回路175の入力は、図7(a)に示した各フリップフロップ173の出力Qに接続されている。バッファ回路175のp出力は、分岐されたn出力(図6)とともにアナログスイッチ153の制御端子に接続されている。

【0070】フリップフロップ回路173の入力端子Dに信号が入力されると、クロック信号CKおよびクロック信号の反転信号(CK)に応じて、出力信号Qが出力される。各段のフリップフロップ回路173の出力Q

は、出力バッファ回路175を通して各アナログスイッチ151を制御する。フリップフロップ回路173の各段の出力信号Qは、次段の入力Dに出力される。

【0071】図6に示すように、例えば、No. 1からNo. 24までの24個のアナログスイッチ151は、各2個(p型のTFTとn型のTFT)、合計48個のTFTから構成されている。24個のアナログスイッチ151は、シフトレジスタの1段分の出力信号(例えば出力1、pとnの2極性)を共有している。

【0072】より詳細には、シフトレジスタのnの出力は、アナログスイッチ制御信号線181aを介して、24個のアナログスイッチの全てのn型TFTのゲート電極と連結されている。シフトレジスタのp出力は、アナログスイッチ制御信号線181bを介して、24個のアナログスイッチの全てのp型TFTのゲート電極と連結されている。

【0073】図6に基づいて、回路動作について説明する。

【0074】1段のシフトレジスタ173からの制御信号が、24個のアナログスイッチ151(例えば、No. 1からNo. 24までの24個のアナログスイッチ)のオン/オフを同時に制御する。1段のシフトレジスタ173からの制御信号により、同じタイミングで24個のアナログスイッチ151が同時にオンされ、信号線11を介して、(RGB各8個)のサブ画素へのデータの書き込みを行う。いわゆる8データ分割の点順次書き込み方式である。

【0075】具体的には、液晶表示装置において、以下のような回路動作が行われる。

【0076】走査線駆動回路C1が1本の走査線15を選択し、その走査線15にゲートが接続される画素TFT25が全て導通状態になった時点で、シフトレジスタ回路171の第1段目のフリップフロップ回路173に接続される出力バッファ175のn端子とp端子との2つの出力1から出力されるアナログスイッチ制御信号により、No. 1からNo. 24までのアナログスイッチ151に含まれる24個のp型TFTと24個のn型TFTが、同時に“オン”する。

【0077】アナログスイッチ151がオンされると、表示部Bの走査線15からの信号により既に導通状態になっている画素TFT25を介して、ビデオ信号線17のうち、R1からR8まで、G1からG8まで、B1からB8までの各表示信号の内容に対応して、各画素セル(液晶セル23と蓄積容量27)に電荷を供給し、画素に画像情報を書き込む。

【0078】シフトレジスタ回路171が、第1段から第100段まで順次制御信号を出力し、No. 1からNo. 2400までのアナログスイッチ151を、順次“オン”させる。ビデオ信号線17からのビデオ信号(表示信号)は、1段のフリップフロップ回路173当

り24画素ずつに分割されて、最終的にNo.1からNo.2400までのサブ画素に転送される。

【0079】走査線駆動回路C1が次の走査線15を選択すると、それまで選択されていた画素TFT25は、非導通状態になる。液晶セル23と蓄積容量27とは、信号線11から電氣的に切断され、150本の走査線15が順次走査される1水平期間中、供給された画像情報を次の走査まで保持する。

【0080】以上に述べた動作を順次繰り返すことにより画像表示を行う。

【0081】信号線駆動回路C2中のシフトレジスタの動作速度は、4.88MHzであり、走査線駆動回路のシフトレジスタと比較して高速である。

【0082】図8に、図1のVIIa-VIIb線視断面図に相当する信号線駆動回路を含む液晶表示装置の周辺部の断面を示す。周辺回路用TFT85としては、ポリシリコンTFTを用いることができる。表示部Bの構造は、図4に示されている図1のIVa-IVb線視断面図と同様である。

【0083】図8には、第1の透明基板31上に形成され、多結晶TFT85を半導体能動素子として用いる信号線駆動回路C2が示されている。図8の構造では、信号線駆動回路C2の上方（第2の透明基板51側）において信号線駆動回路C2を遮光する遮光膜が、ブラックマトリックス（BM）、すなわち導電性遮光膜でなく、絶縁性黒色樹脂膜201で形成されている。絶縁性黒色樹脂膜201は、好ましくはカラーフィルタ61、63、65とほぼ等しい厚さを有する。

【0084】表示部B側の第2の透明基板51上には、画素間の光の漏れを防止し、カラー表示特性を改善する為に、カラーフィルタ61、63、65と一部オーバーラップするようにブラックマトリックス（BM）1、1、1、・・・が設けられている。ブラックマトリックスは周辺回路C2上まで延在し、絶縁性黒色樹脂膜201とも一部オーバーラップしている。このオーバーラップにより連続した遮光構造が形成され、遮光性が向上する。

【0085】樹脂系の絶縁性黒色樹脂膜201を形成する材料としては、好ましくは、黒色の着色顔料を混入したポリイミドが用いられる。その他の材料としては、黒色の着色顔料を混入したアクリル系またはエポキシ系の樹脂を用いてもよい。感光性樹脂を用いれば、別途フォトリソ膜を形成することがなく、露光、現像工程により黒色樹脂膜をパターンニングすることができる。

【0086】黒色樹脂膜201により、第2の透明基板51側から信号線周辺回路C2に入射する光（主として可視光）を遮光する。斜めの入射光に対しても、ブラックマトリックス1と黒色樹脂膜201との連続遮光構造が、十分な遮光性能を発揮する。

【0087】信号線周辺回路C2の近傍に配置される遮

光構造は、黒色樹脂201のみであり、絶縁体である黒色樹脂膜201と周辺回路C2のTFT85とが形成する寄生容量は、極めて小さくすることができる。従って、遮光構造を設けても、その寄生容量により周辺回路C2の動作速度を遅くすることは少ない。

【0088】次に、液晶表示装置の製造方法について説明する。液晶表示装置の製造方法は、以下に説明する一般的なアクティブマトリックス型の液晶表示装置の製造方法が用いられる。

10 【0089】トップゲート型TFTを半導体能動素子として用いた場合の、第一の透明基板側の表示部Bと周辺回路部Cとの製造方法について、以下に説明する。

【0090】図16は、図3（b）に示した構造と同様の構造を有するトップゲート型TFTを、画素TFT及び周辺回路用TFTの両方に用いた場合の液晶表示装置の一例を示す断面図である。

【0091】図16には、第1の透明基板側31側の構造を示す。

20 【0092】第一の透明基板31上には、ポリシリコン膜35、SiO₂からなるゲート絶縁膜、ゲート電極Gが順次形成されている。ゲートの両側のポリシリコン層は、n型不純物又はp型不純物をイオン注入することにより形成された高濃度層37、37によりソース及びドレイン領域が形成されている。

【0093】第一の透明基板上には、第一の層間絶縁膜41aが形成されている。第一の層間絶縁膜41aには、ソース、ゲート、ドレインとコンタクトを形成するためのコンタクトホールが開口される。コンタクトホールを介して、Ti/Al/Tiによるソース電極S、ゲート電極G、ドレイン電極Dが、第一の層間絶縁膜41a上に形成されている。

【0094】第一の層間絶縁膜41a上には、第二の層間絶縁膜41bが形成されている。

【0095】画素TFT25のドレイン電極D上には、第二の層間絶縁膜41bを開口するコンタクトホールが形成されている。

【0096】第二の層間絶縁膜41b上には、ITOにより形成された画素電極45が形成されている。画素電極45は、表示部Bの画素TFT25のドレイン電極Dと接続される。

40 【0097】周辺回路部Cの周辺回路用TFTは、n型のTFT85aとp型TFT85bとを含んでいる。イオン注入することにより高濃度層37、37をに形成しているため、同一基板上にn型のTFT85aとp型TFT85bを形成することが容易である。相補型回路（CMOS回路）を形成することができるため、周辺回路Cの高速化と低消費電力化が可能となる。

【0098】液晶表示装置の詳細な製造工程について以下に説明する。

50 【0099】① 第一の透明基板31の上に、CVD法

を用いてアモルファスシリコン膜を1000オングストローム堆積する。

【0100】② エキシマレーザ法を用いて、アモルファスシリコン膜を結晶化する。この結晶化工程により、アモルファスシリコン膜は多結晶シリコン膜35となる。

【0101】③ 多結晶シリコン膜35を、通常のフォトリソグラフィ工程とエッチング工程により島状に加工して、TFT用のチャンネル層を形成する。

【0102】④ PECVDにより、ゲート絶縁膜33を形成する。ゲート絶縁膜33を所定の形状に加工する。PECVDの代わりにスパッタリングを用いても良い。

【0103】⑤ TFTのゲート電極の両脇に形成されるソース電極及びドレイン電極のコンタクト抵抗を低減するために、イオン注入により、チャンネル層よりも高不純物濃度にドーピングされた多結晶シリコン層37をチャンネル用多結晶シリコン膜33の両脇に形成する。ここで、周辺回路部Cには、異なるドーピングイオンを用いたイオン注入により、n型のTFT85aとp型TFT85bを形成する。

【0104】⑥ 第一の透明基板31上に、第一の層間絶縁膜41aを形成する。

【0105】第一の層間絶縁膜41aに、ゲート、およびソース/ドレインコンタクトを形成するためのコンタクトホールを開口する。

【0106】⑦コンタクトホールを介して、Ti/Al/Tiによるソース電極S、ゲート電極G、ドレイン電極Dを、第一の層間絶縁膜41a上に形成する。

【0107】⑧ 第一の透明基板31の全面に、酸化膜により形成される層間絶縁膜41bを堆積する。酸化膜に代えて窒化膜やポリイミド膜を用いることもできる。層間絶縁膜41bにコンタクト孔を開口し、ITO（インジウム錫酸化物）よりなる画素電極45を形成する。

【0108】以上の工程により、トップゲート型TFTが完成する。

【0109】図4及び図8を参照しつつ、カラーフィルタと第二のコモン電極とを備えた第二の透明基板51側の画素構造の製造方法について説明する。

【0110】① 第二の透明基板51上に、厚さ2000オングストロームのCr膜を形成し、所定の形状のマスクを用いたエッチングを行うことにより、表示部Bの画素TFT25及び周辺回路部Cの第一の周辺回路C1上を覆う遮光膜であるブラックマトリックス(BM)1、1、1・・・を形成する。

【0111】② 第二の透明基板51の上に、厚さ1.5μmの赤色のカラーレジストを塗布し、乾燥、露光、現像を含む通常のフォトリソ工程により、表示部Bに赤色のカラーフィルタ61を形成する。

【0112】③ 緑色のカラーフィルタ63及び青色のカラーフィルタ65を、②と同様の工程により形成する。上記のカラーフィルタ61、63、65は、ブラックマトリックス(BM)1、1、1と端部をオーバーラップさせて形成される。

【0113】④ 周辺回路部Cのうち第二の周辺回路C2上を覆うように、第二の透明基板51の内側に黒色樹脂膜を塗布し、所定のパターン形成工程により絶縁性黒色遮光膜201を形成する。

【0114】⑤ カラーフィルタ61、63、65及び絶縁性黒色遮光膜201を保護するとともに、カラーフィルタと絶縁性黒色遮光膜201とにより形成されている凹凸を平坦化するために樹脂製の平坦化膜73aを形成する。

【0115】⑥ スパッタ法により厚さ1000オングストロームのITO膜を成膜し、次いで所定のパターン形成工程により共通電極71を形成する。

【0116】⑦ 共通電極71を覆うように、ポリイミド等の配向膜75aを形成する。

【0117】以上の工程により、第二の透明基板51側の構造が完成する。

【0118】尚、上記④の工程に代えて、第二の透明基板51の外側に絶縁性黒色遮光膜又は導電性遮光膜を形成し、第二の周辺回路上を覆うこともできる。また、第一の透明基板側に絶縁性黒色遮光膜を形成し、第二の周辺回路上を覆うことも出来る。

【0119】上記のようにして製造された、第一の透明基板31と第二の透明基板51とを張り合わせて液晶表示装置を形成する工程について以下に説明する。

【0120】① 第一の透明基板31と第二の透明基板51とに形成した配向膜75a、75bを必要に応じ、加熱、硬化させる。

【0121】② 配向膜75a、75bを、パフ(buff)布で一定方向に擦るラビング工程を行う。この工程により、配向膜75a、75bには、配向構造が形成される。

【0122】③ 第一の透明基板31上に、ポリマー系、ガラス系、シリカ系などの球状体スペーサを散布する。

【0123】④ 第一の透明基板31の周辺回路部Cのさらに外周部に、シール用樹脂をディスペンサにより塗布する。シールは、第一の透明基板31上に第二の透明基板51を重ね、加熱加圧してシール用樹脂を硬化させる。第一の透明基板31と第二の透明基板51とがシール材により張り合わされる。球状体スペーサが両基板間の距離を所定の値に保つ。

【0124】⑤ 液晶材Eを、図示しない液晶注入口より液晶収容空間81に注入した後、液晶注入口を封止する。

【0125】信号線駆動回路C2の上に絶縁性黒色樹脂

膜 201 が設けられる。絶縁性黒色遮光膜 201 は、第二の透明基板 51 側から信号線駆動回路 C2 に入射する光を遮光する。信号線駆動回路 C2 に用いられている半導体駆動素子、すなわち周辺回路用 TFT85 の、光に起因する誤動作の確率を低減することができる。従って、信号線駆動回路 C2 は入射光の有無によらずに安定に動作し、液晶表示装置事態の動作も安定化する。

【0126】液晶の比誘電率 (ϵ) は、5~11 程度である。第一の透明基板と第二の透明基板との間のギャップは 4~5 ミクロン程度である。従って、信号線駆動回路 C2 を 4.88 MHz で動作させる場合には、周辺回路用 TFT85 の寄生容量に起因する回路動作の速度低下が問題となる。

【0127】高速動作すべき信号線駆動回路 C2 の遮光膜として金属製 BM を用いると、TFT と BM との間に形成される寄生容量が信号線駆動回路 C2 の高速動作を阻害する。絶縁性遮光膜を用いることにより、寄生容量の増加を防止し、動作速度の低下を防止することができる。

【0128】本願実施例の液晶表示装置においては、1 ミクロン以下の薄い絶縁性黒色遮光膜で遮光体を形成することもできる。

【0129】周辺回路、特に信号線駆動回路上を、第二の透明基板 51 の外側（第一の透明基板 31 と反対側）に設けられた液晶表示装置の外周に配置されている額縁（ベゼル）211 によって覆うことにより遮光する方法も考えられる。しかしながら、広い額縁を用いる遮光構造は、液晶表示装置の大画面化（液晶表示装置の狭額縁化）の妨げになる。

【0130】信号線駆動回路（第二の周辺回路）を遮光する遮光体として、カーボン系の黒色樹脂を用いることもできる。

【0131】カーボン樹脂の中には、電気伝導率が 106 Ω m 以下と、半絶縁性を示す材料が存在する。このような半絶縁性のカーボン樹脂を用いると、絶縁性遮光膜を用いた場合と比較して遮光膜に起因する寄生容量が大きくなる。但し、半絶縁性のカーボン樹脂を用いた遮光膜は、絶縁性遮光膜と比べて遮光性が良好である。寄生容量との兼ね合いで、遮光性を優先させる必要がある場合には、好ましく用いられる。

【0132】図 9 は、本発明の第 1 の実施の形態による液晶表示装置の変形例である。

【0133】図 9 に示す液晶表示装置においては、第二の透明基板 51 の内側に設けられた絶縁性黒色樹脂膜 201 とともに、第一の透明基板 31 側にも、第二の周辺回路 C2 を覆う絶縁性黒色樹脂膜 301 が設けられている。

【0134】第一の透明基板側に設けられた遮光膜 301 も、信号線駆動回路 C2 の上方を覆うように設けられている。

【0135】図 9 に示す液晶表示装置においては、信号線駆動回路 C2 の上方に二重の遮光膜として、絶縁性遮光膜 201、301 が形成される。従って、信号線駆動回路 C2 に関する遮光性が向上し、第 1 の実施の形態による液晶表示装置と比べて、周辺回路、特に信号線駆動回路の動作が、より一層安定になる。

【0136】図 10 に、本発明の第 2 の実施の形態による液晶表示装置を示す。第 2 の実施の形態においては、第 1 の実施の形態による液晶表示装置と同一部分については、同一符号を付してその説明を省略する。

【0137】図 10 は、液晶表示装置の周辺部の構造を示す断面図であり、信号線駆動回路（第二の周辺回路）C2 を含んでいる。この図は、第 1 の実施の形態による液晶表示装置における図 8 に対応する図面である。

【0138】図 10 に示した液晶表示装置においては、信号線駆動回路 C2 上を覆う遮光膜 401 が、第二の透明基板 51 の外側（第 1 の透明基板 31 の存在する方向と反対側）、すなわち液晶表示装置のパネルの外側に設けられている。この液晶表示装置においても、遮光膜 401 が第二の透明基板 51 の外側から信号線駆動回路 C2 側に入射する光を遮る。

【0139】信号線駆動回路 C2 と遮光膜 401 との間に厚い絶縁体である第二の透明基板 51 が介在する。従って、第 1 の実施の形態で用いた絶縁性黒色樹脂の代わりに半絶縁性のカーボン系黒色樹脂を用いることができ、導電性の遮光膜を用いることも可能となる。遮光膜の材料選択の自由度が増すとともに、例えば半絶縁性のカーボン系黒色樹脂や導電性の遮光膜を用いた場合には、絶縁性の遮光膜を用いた場合と比較して遮光性が一層向上するという効果を発揮する。

【0140】第二の透明基板 51 の外側にパネル外遮光体 401 を形成しているため、第一の透明基板 31 と第二の透明基板 51 との間の狭いギャップの内側に遮光膜を形成する場合と比較して遮光膜形成工程が容易になる。遮光膜形成工程としては、パネル組立工程の前に、予め第 2 の透明基板 51 の外側にパネル外遮光膜 401 を形成しておくことも可能である。パネル組立工程終了後にパネル外遮光膜 401 を形成することも可能である。

【0141】従って、第 1 の実施の形態による液晶表示装置と比べて、装置の組立工程の自由度が増す。

【0142】パネル外遮光膜 401 としては、黒色樹脂膜の他にも、樹脂系黒色インクを用いることも可能である。樹脂系黒色インクを用いて第二の透明基板 51 上に遮光膜を塗布する場合には、例えば油性の黒色フェルトペンを用いて第二の透明基板 51 上に描画することも可能である。

【0143】黒色フェルトペンを用いて描画すれば、第二の透明基板 51 上の所望の位置に遮光体を形成することも容易になる。樹脂系黒色インクの塗布により遮光膜

を形成すれば、第一の実施の形態又は第二の実施の形態による液晶表示装置と比較して、より簡便な方法で遮光膜を形成できる。また、遮光性粘着テープ、遮光性黒色フィルム等を用いて遮光体を形成してもよい。

【0144】インクジェット法などを用いた印刷技術によって黒色遮光膜を形成することも可能である。印刷技術を用いた方法は、遮光膜の形成に関する量産性と経済性に優れる。

【0145】尚、上記の方法を採用すると、第二の透明基板51の厚さが0.7 μ m程度であり、第一と第二の透明基板31、51のギャップが5 μ m程度であるため、斜め入射による迷光の可能性がある。

【0146】図11には、第2の実施の形態による液晶表示装置の第1の変形例を示す。

【0147】図11に示した液晶表示装置においては、信号線駆動回路C2を覆う遮光膜として、第二の透明基板51の外側のみでなく、第二の透明基板51の内側にも第二の透明基板51を挟んでパネル外遮光膜401と対向する位置に絶縁性遮光膜405が設けられている。このパネル内遮光膜405も、信号線駆動回路C2の上方を覆う。

【0148】信号線駆動回路C2の上方に二重の遮光膜が形成されるため遮光性が向上し、斜め入射による迷光の可能性が低減する。

【0149】図12には、第2の実施の形態として示した液晶表示装置の第2の変形例を示す。

【0150】図12に示した液晶表示装置では、パネル外遮光膜401とパネル内の絶縁性遮光膜201とが、上方からみた場合に異なる位置に設けられている。例えば、パネル外遮光膜401は信号線駆動回路C2のうちのシフトレジスタ回路部（制御回路B'）上を覆っており、絶縁性黒色樹脂により形成されるパネル内遮光膜201は、制御回路A'（アナログ制御スイッチ部）を覆っている。制御回路C'（出力バッファ部）上には、導電性遮光膜（BM）1が設けられている。遮光構造と回路との組み合わせは、上述のものに限らず種々変更することができる。

【0151】信号線駆動回路のうち異なる回路部に、それぞれの回路部の特徴、例えば遮光性と回路の動作速度とに応じて構造や位置の異なる遮光膜を適宜設けている。

【0152】この構造では、製造工程の自由度が増すとともに、遮光膜と信号線駆動回路との位置関係をきめ細かく設計することができ、周辺回路の高速性と周辺回路の遮光性とを最適化することができる。

【0153】図13及び図14に、本発明の第3の実施の形態による液晶表示装置を示す。

【0154】第3の実施の形態において、第1及び第2の実施の形態による液晶表示装置と同一部分については、同一符号を付してその説明を省略する。

【0155】図13は、液晶表示装置の全体構成の平面図である。この平面図は、第1の実施の形態による液晶表示装置における図1に対応する図面である。

【0156】図13に示すように、液晶表示装置は表示部Bと周辺回路部Cを含む。周辺回路部Cは、走査線駆動回路（第一の周辺回路）C1と信号線駆動回路（第二の周辺回路）C2を含む。

【0157】走査線駆動回路C1上には、Crにより形成されるブラックマトリックス（BM）遮光膜1が設けられている。信号線駆動回路C2上には、絶縁性黒色樹脂により形成される遮光膜503が設けられている。

【0158】図14は、図13のXa-Xb線視断面図であり、第1の実施の形態による液晶表示装置における図8に対応する図である。

【0159】この第3の実施の形態として示した液晶表示装置では、図14に示すように、液晶材Eを収容する液晶材収容空間81をシールするためのシール部材501の構成が第1の実施の形態による液晶表示装置と異なっている。

【0160】第3の実施の形態による液晶表示装置では、矩形の表示部Bの短辺側に配置されている走査線駆動回路C1のさらに外側に、第1の実施の形態による液晶表示装置と同様にシール材501が設けられている。矩形の表示部Bの長辺側に配置されている信号線駆動回路C2側のシール材503は、信号線駆動回路C2の上部を覆うように設けられている。シール材501、503は周辺回路部Cの外周をループ状に取り巻いている。

【0161】シール部材の形成工程としては、まず、通常の樹脂性のシール部材501を、走査線駆動回路C1の外側に設ける。次いで遮光性の黒色樹脂製のシール部材503により信号線駆動回路C2上を覆う。

【0162】本実施の形態による液晶表示装置では、シール部材501、503が、液晶収容空間81に充填されている液晶材Eをシールする。さらに、絶縁性黒色樹脂で形成されたシール部材503が信号線駆動回路C2上を覆い遮光する。絶縁性黒色樹脂で形成されたシール部材503は、液晶材Eをシールするとともに、信号線駆動回路C2に含まれる周辺回路用多結晶TFT85を遮光することにより、光に起因するTFTのリーク電流を抑制する。

【0163】本実施の形態による液晶表示装置では、第一の透明基板31と第二の透明基板51との間の遮光膜503が樹脂製である。樹脂の比誘電率 ϵ は3程度であるため、液晶材Eの比誘電率（ $\epsilon=5\sim11$ 程度）よりも小さい。従って、第一の透明基板と第二の透明基板との間に液晶材が充填されている場合と比較して、信号線駆動回路C2に関連する寄生容量が低減する。

【0164】さらに、シール材と遮光膜とを兼用することにより、スペース効率が向上する。液晶表示装置の一層の狭額縁化が可能となる。

【0165】尚、走査線駆動回路の外側に配置するシール部材と信号線駆動回路を覆うように配置するシール部材とを一体化し、両方のシール部材として遮光性のシール部材を用いてもよい。シール部材の製造工程を簡単化することが可能である。

【0166】図15に、本発明の第4の実施の形態による携帯用電子機器を示す。この携帯用電子機器（パーソナルコンピュータ）は、第1から第3までの実施の形態において説明した液晶表示装置を用いている。

【0167】図15に示すパーソナルコンピュータでは、表示部Bと周辺回路部Cとを含む液晶表示装置Aを用いている。

【0168】パーソナルコンピュータのその他の構成要素は、一般的なパーソナルコンピュータと同じである。すなわち、折りたたむと液晶表示装置Aと一体化する箱体601中には、図示しない中央演算処理装置（CPU）や記憶回路が収納されている。箱体601の側面には、外部記憶装置の挿入口603が設けられ、箱体601の上面には、入力手段（キーボード）605が配置されている。

【0169】本実施の形態による液晶表示装置を用いたパーソナルコンピュータでは、周辺回路部Cを第一の透明基板上に一体化して形成する。周辺回路部Cを外付けした液晶表示装置と比べて、液晶表示装置Aの額縁を狭くすることができる。本体部の寸法が同じ場合に、表示部Bを大画面化することが可能となる。信号線駆動回路の能動半導体素子として多結晶TFTを用いるため、パーソナルコンピュータの高速性を維持することができる。周辺回路部、特に第二の周辺回路上を絶縁性の遮光膜で覆うため、光入射による多結晶TFTの誤動作を防止することができる。

【0170】以上、本発明の実施の形態について説明したが、本発明はこれらに制限されるものではない。

【0171】例えば、セル外遮光膜は、第2の透明基板に対して、直接または第2の透明基板の上に設けられた偏光板の上に間接に設けてもよい。

【0172】また、BMに関しては、単層または多層の金属膜が使用できる。

【0173】周辺回路上の遮光膜をすべて絶縁性遮光膜にすることも可能である。

【0174】第1及び第2の透明基板として、ガラス製の基板を用いたが、石英または有機質のフィルムでもよい。反射型の液晶表示装置の場合には、第一の基板は透明である必要がない。セラミックス基板、絶縁膜で被覆されたシリコン基板等を用いることもできる。

【0175】反射型の表示パネルの場合には、第一の透明基板側のITO電極は、Al等の他の金属材料に置換可能である。

【0176】白黒の表示パネルであれば、画素部のカラーフィルタは不要である。

【0177】基板上の平坦化膜の代わりに、窒化珪素または酸化珪素を用いてもよい。第二の透明基板側には、平坦化膜を設けなくてもよい。

【0178】本発明の液晶表示装置は、パーソナルコンピュータの表示装置としてのみではなく、携帯用通信機器、テレビジョン、産業用モニタ装置等に用いても好適である。

【0179】その他、種々の変更、改良、組み合わせ等が可能なことは当業者には自明あろう。

【0180】

【発明の効果】周辺回路一体型液晶表示装置において、信号線駆動回路を構成する周辺回路用薄膜トランジスタのうちの少なくとも一部を覆う絶縁性遮光膜を設けることにより、光入射によるTFTの誤動作を防止し、かつ、寄生容量の増大を防止して、周辺回路の高速性を維持することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による液晶表示装置の平面図である。

【図2】本発明の第1の実施の形態による液晶表示装置の等価回路図である。

【図3】本発明の第1の実施の形態による液晶表示装置のうち画素TFTを中心とした部分の断面図であり、（a）はボトムゲートTFTを用いた場合、（b）はトップゲートTFTを用いた場合を示す。

【図4】本発明の第1の実施の形態による液晶表示装置の走査線駆動回路側の断面図であり、図1のI Va-IV b線に沿う断面図を示す。

【図5】本発明の第1の実施の形態による液晶表示装置の回路図であり、走査線駆動回路側の回路を示す。

【図6】本発明の第1の実施の形態による液晶表示装置の回路図であり、信号線駆動回路側の回路を示す。

【図7】本発明の第1の実施の形態による液晶表示装置の回路図であり、信号線駆動回路側の回路を示す。

（a）は、シフトレジスタを構成するフリップフロップ回路の回路図、（b）は、バッファ回路の回路図を示す。

【図8】本発明の第1の実施の形態による液晶表示装置の信号線駆動回路側の断面図である。図1のV I I I a-V I I I b線断面図を示す。

【図9】本発明の第1の実施の形態の液晶表示装置の変形例である信号線駆動回路側の断面図であり、図1のV I I I a-V I I I b線断面図を示す。

【図10】本発明の第2の実施の形態による液晶表示装置の信号線駆動回路側の断面図であり、図1のV I I I a-V I I I b線断面図を示す。

【図11】本発明の第2の実施の形態の液晶表示装置の第1変形例である液晶表示装置の断面図であり、信号線駆動回路側の断面を示す。

【図12】本発明の第2の実施の形態の第2変形例であ

る液晶表示装置の信号線駆動回路側の断面図であり、図1のV I I I a-V I I I b線断面図を示す。

【図13】本発明の第3の実施の形態による液晶表示装置の平面図である。

【図14】本発明の第3の実施の形態による液晶表示装置の信号線駆動回路側の断面図であり、図1のV I I I a-V I I I b線断面図を示す。

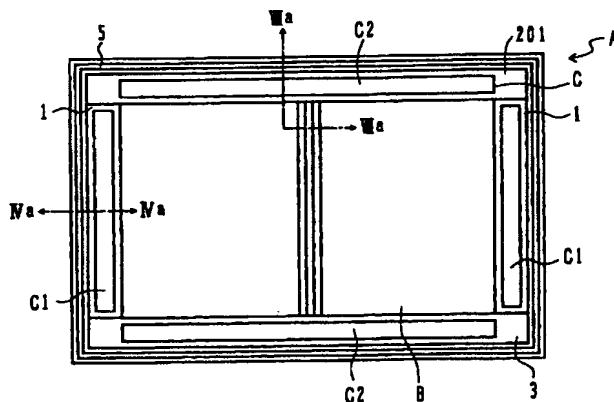
【図15】本発明の第1から第3までの実施の形態による液晶表示装置のうちのいずれかを用いた電子機器の斜視図であり、本発明の第4の実施の形態による電子機器を示す。

【図16】本発明の第1の実施の形態による液晶表示装置の画素部と周辺回路とを示す断面図であり、図1のI V a-I V b線に沿う断面図を示す。

【符号の説明】

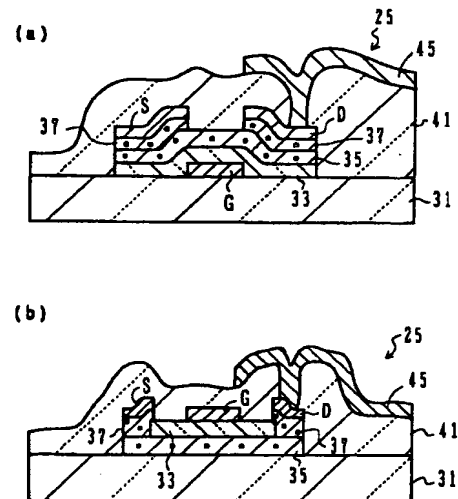
- A 液晶表示装置
- B 表示部
- C 周辺回路部
- C1 走査線駆動回路
- C2 信号線駆動回路

【図1】

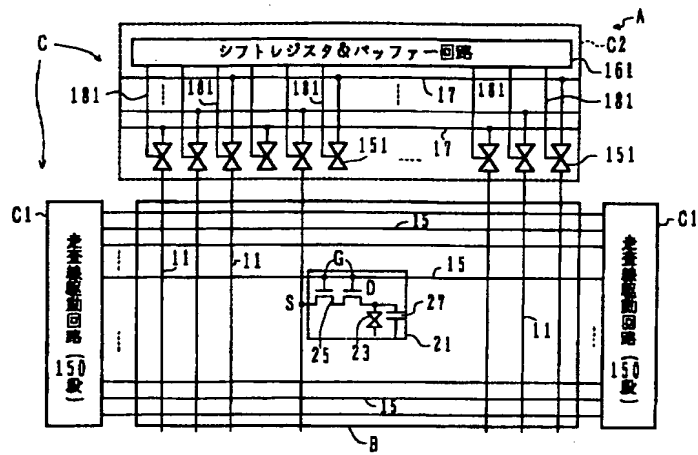


- S ソース
- D ドレイン
- G ゲート
- E 液晶材
- 1 遮光膜 (BM)
- 5 シール材
- 11 信号線
- 15 走査線
- 21 画素
- 23 液晶セル
- 25 画素TFT
- 31 第一の透明基板
- 45 画素電極
- 51 第二の透明基板 (対向基板)
- 71 共通電極
- 85 周辺回路用TFT
- 201 絶縁性黒色樹脂
- 401 パネル外遮光体
- 501 シール材
- 503 遮光性シール材

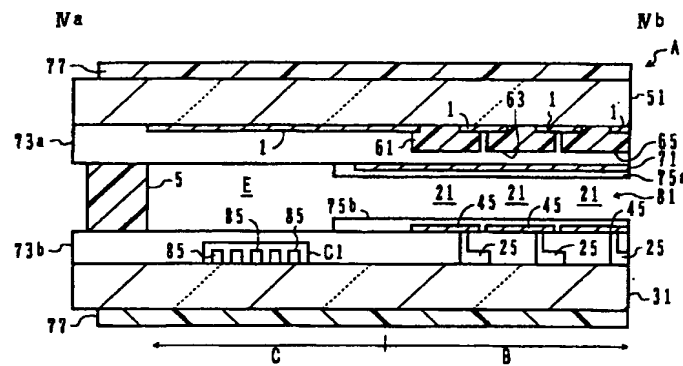
【図3】



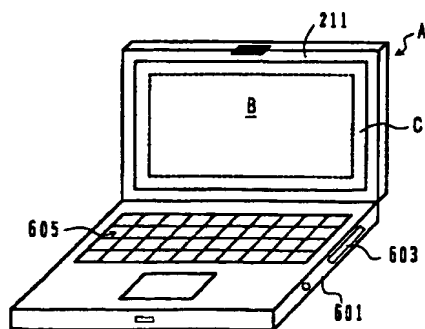
【図2】



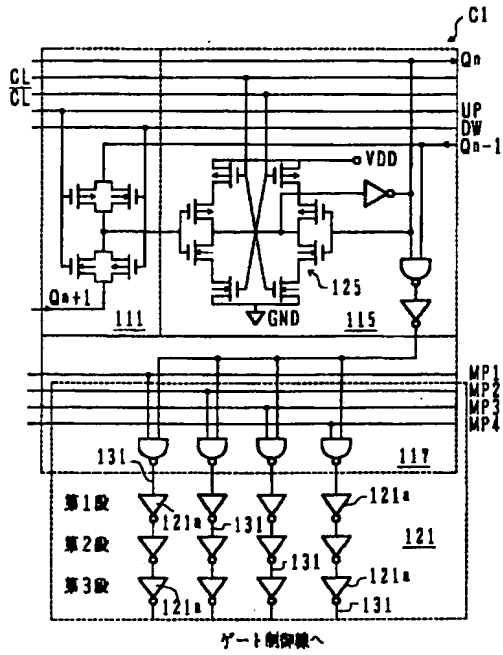
【図4】



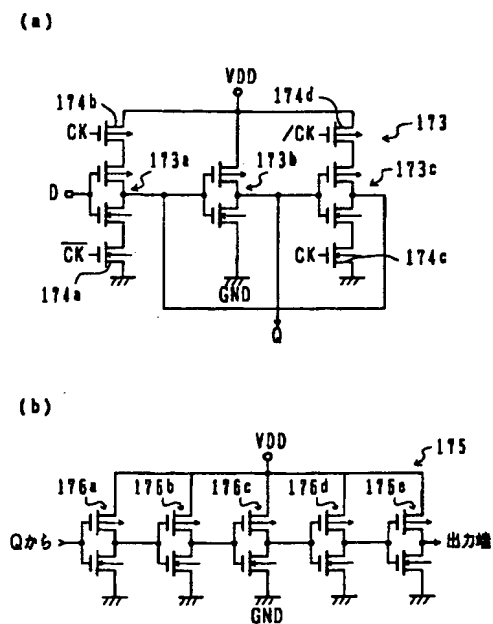
【図15】



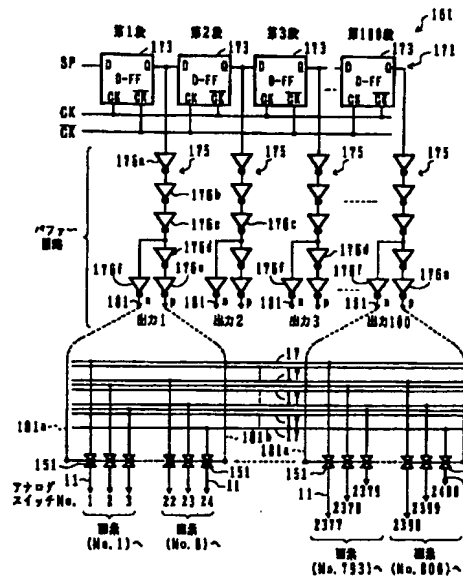
【図5】



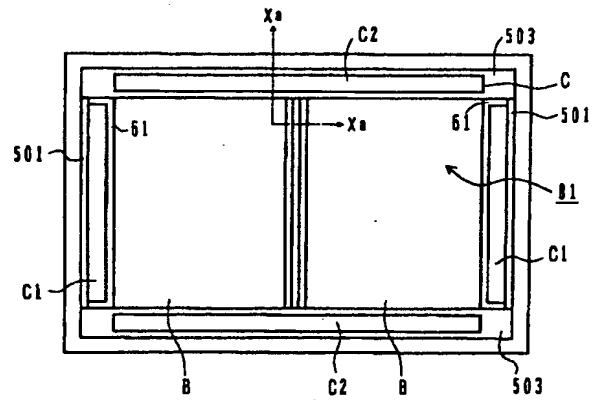
【図7】



【図6】

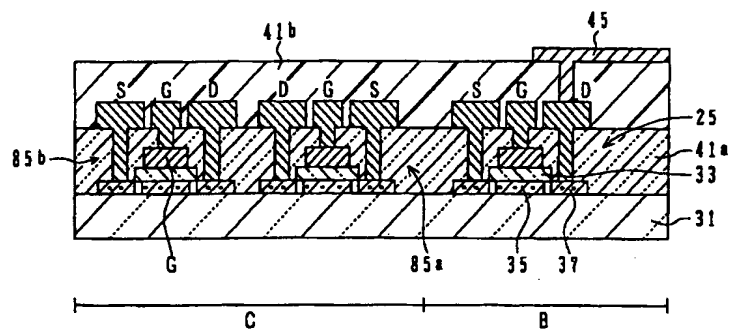


【図13】



[illegible]

【図16】



フロントページの続き

Fターム(参考) 2H092 GA59 JA25 JA26 JA29 JA38
 JA42 JA44 JB13 JB23 JB32
 JB33 JB51 JB56 JB63 JB69
 KA04 KA07 KA16 KA18 MA08
 MA14 MA15 MA16 MA18 MA19
 MA20 MA27 MA30 MA35 MA37
 MA41 NA25 NA27 NA29 PA06
 QA07